

Лекція 8. ЛОГІЧНІ ЕЛЕМЕНТИ

8.1. Загальні відомості.

8.2. Реалізація простих логічних функцій. Логічні елементи.

8.3. Реалізація складних логічних функцій.

8.1. Загальні відомості

Основу сучасних пристроїв обробки інформації складають цифрові (логічні) ІМС. Аналіз роботи цифрових пристроїв базується на використанні апарату математичної логіки – алгебри Джорджа Буля (1815 – 1864 р.). В її основі лежить поняття події, що оцінюється з точки зору її настання: вона може настати або не настати. Тоді кожному подію можна вважати істинною, що може моделюватися одиницею «1» (високим рівнем напруги за електричного моделювання) або хибною, що моделюється нулем «0» (низьким рівнем напруги).

Обробка інформації, що подається у вигляді подій, ведеться у двійковій системі числення, яка має тільки дві цифри: 0 і 1.

Величина, яка може приймати тільки ці два значення, називається двійковою (логічною) змінною.

Складна подія, що залежить від декількох двійкових змінних, називається двійковою (логічною) функцією:

$$y = f(x_1; x_2; \dots; x_n); \quad x \in \{1, 0\}. \quad (8.1)$$

У практичних цілях алгебру Буля першим у 1938 році застосував родоначальник кібернетики Клод Шеннон (США) під час дослідження електричних кіл з контактними перемикачами.

Всі цифрові пристрої поділяються на два великих класи: комбінаційні і послідовнісні.

Комбінаційні пристрої реалізують функції, які залежать тільки від комбінації змінних, що до них входять, у даний момент часу і не залежать від стану пристрою в попередній момент часу.

Послідовнісні (від слова «послідовність») пристрої реалізують функції, що залежать не тільки від комбінації вхідних змінних у даний момент часу, а ще й від стану пристрою в попередній момент часу: вони мають пам'ять.

8.2. Реалізація простих логічних функцій. Логічні елементи

Логічні елементи разом із запам'ятовуваними елементами складають основу приладів цифрової (дискретної) обробки інформації – обчислювальних машин, цифрових вимірювальних приладів і пристроїв автоматики. На схемах використовується двобуквене позначення *DD*.

Логічні елементи виконують найпростіші логічні операції над цифровою інформацією, а запам'ятовувачі елементи служать для її зберігання.

Логічна операція перетворює за певними правилами вхідну інформацію у вихідну. Логічні елементи найчастіше будуються на базі електронних пристроїв, які працюють у ключовому режимі. Логічні перетворення двійкових сигналів включають три елементарні операції:

1. Логічне додавання (диз'юнкція) або операція "АБО", яку позначають знаками "+" або V:

$$F = x_1 + x_2 + x_3 + \dots + x_n.$$

2. Логічне множення (кон'юнкція) або операція "І", яку позначають знаками "·" або \wedge або написанням змінних поряд без знаків розділення:

$$F = x_1 \cdot x_2 \cdot x_3 \cdot \dots \cdot x_n.$$

3. Логічне заперечення (інверсія) або операція "НЕ", яку позначають рискою над змінною:

$$F = \bar{x}$$

Правила виконання логічних операцій над двійковими змінними для випадку двох змінних наведені нижче.

"АБО"	"І"	"НЕ"
$0 + 0 = 0$	$0 \cdot 0 = 0$	$\bar{0} = 1$
$0 + 1 = 1$	$0 \cdot 1 = 0$	$\bar{1} = 0$
$1 + 0 = 1$	$1 \cdot 0 = 0$	
$1 + 1 = 1$	$1 \cdot 1 = 1$	

Логічні елементи, які реалізують функцію „АБО”, називають елементами „АБО”, і позначають, як показано на функціональній схемі рис. 8.1. Вихідний сигнал F елемента „АБО” дорівнює одиниці, якщо хоча би на один із n входів подано сигнал "1".

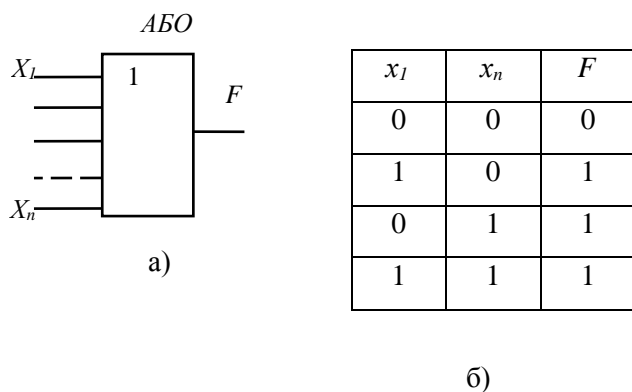


Рис. 8.1 – Умовне позначення логічного елемента АБО а) і таблиця істинності б).

Логічні елементи, які реалізують операцію „І”, називають елементами „І” або схемами співпадання (рис. 8.2). Вихідний сигнал F елемента „І” дорівнює одиниці, якщо одночасно на всі n входів подано сигнал "1".

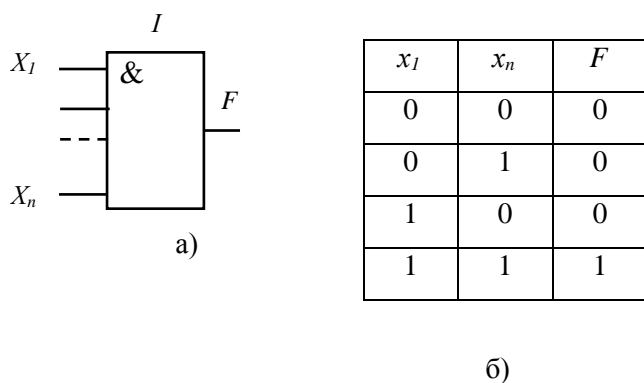
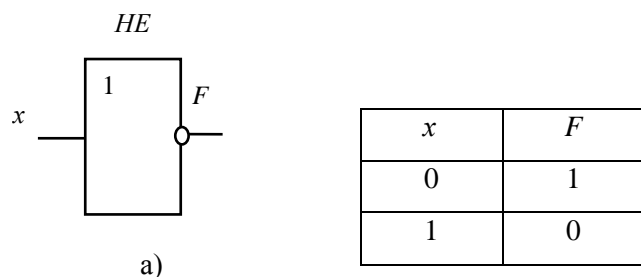


Рис. 8.2 – Умовне позначення логічного елемента І а) та таблиця істинності б).

Операція „НЕ” реалізується логічним елементом „НЕ” або інвертором.



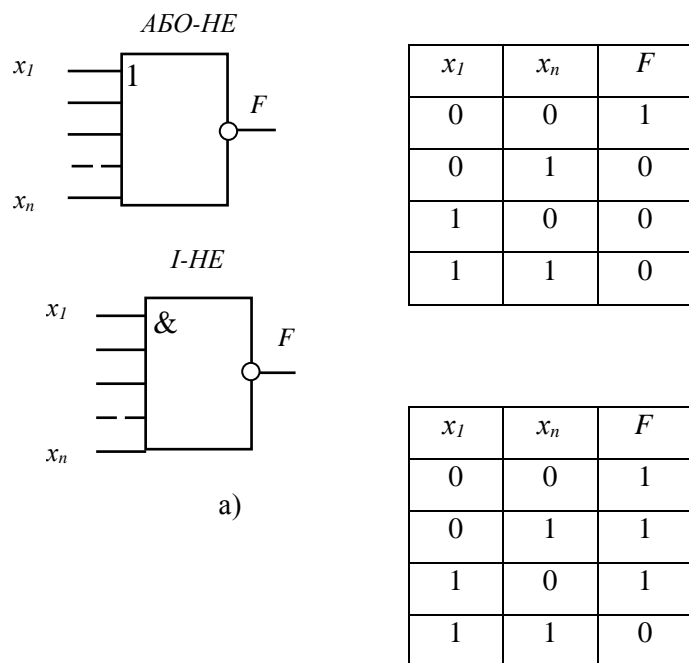
б)

Рис. 8.3. – Умове позначення логічного елемента НЕ а) і таблиця істинності б).

Крім розглянутих логічних елементів на практиці широко застосовують комбіновані елементи, які реалізують дві і більше логічних операцій (рис. 8.4). Наприклад елементи:

„АБО-НЕ”: $F = \overline{x_1 + x_2 + x_3 + \dots + x_n}$,

„І-НЕ”: $F = \overline{x_1 \cdot x_2 \cdot x_3 \cdot \dots \cdot x_n}$



б)

Рис. 8.4 – Умове позначення логічного елемента АБО-НЕ, І-НЕ а) і таблиця істинності б).

Самостійне значення має логічна операція „Виключне АБО”, рис. 8.5. Вихідний сигнал F елемента „Виключне АБО” дорівнює нулю за однакової комбінації вхідних сигналів, за інших комбінацій логічній одиниці.

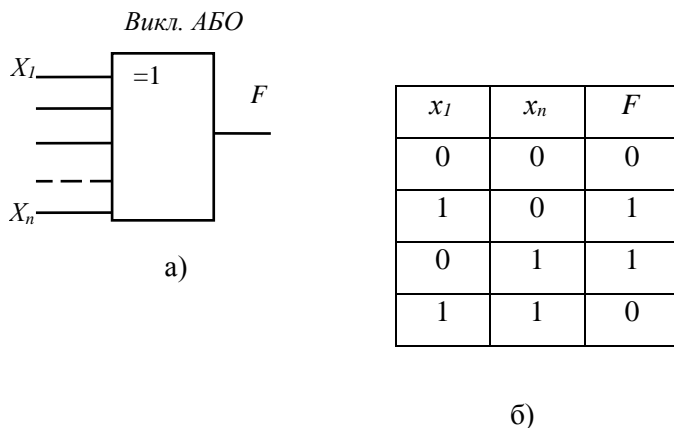


Рис. 8.5. – Умовне позначення логічного елемента *Виключне АБО* а) і таблиця істинності б).

Логічна операція „*Виключне АБО*” символічно записується у вигляді: $F = x_1 \bar{x}_2 + x_2 \bar{x}_1$.

Самостійне значення має і логічна операція „*ЗАБОРОНА*” (імплікація), яка символічно записується у вигляді: $F = x_1 \bar{x}_2$.

Логічний елемент заперечення „*ЗАБОРОНА*” має в простішому випадку лише два входи: дозволяючий (вхід x_1) і забороняючий (вхід x_2). Вхідний сигнал повторює сигнал на дозволяючому вході x_1 , якщо $x_2 = 0$ при $x_2 = 1$ на виході виникає “0” незалежно від значення x_1 . Стандартне умовне позначення елемента „*ЗАБОРОНА*” наведено на рис 8.6.

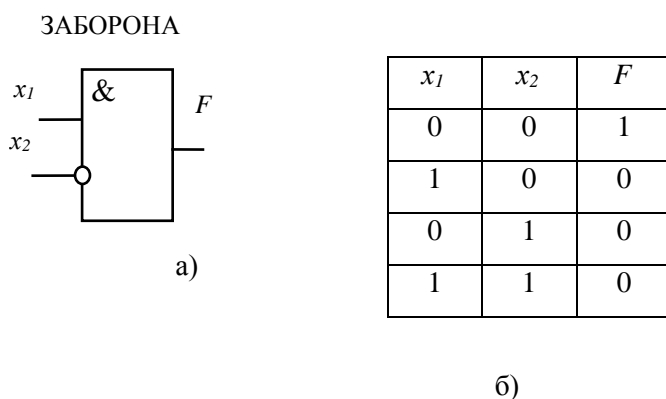


Рис. 8.6 – Умовне позначення логічного елемента *ЗАБОРОНА* а) і таблиця істинності б).

Логічні елементи виконують на інтегральних мікросхемах (див. табл. Д14). Залежно від виду використовуваних сигналів логічні елементи поділяють на потенціальні та імпульсні. В потенціальних елементах логічні “0” і “1” представлені двома різними рівнями елементного потенціалу, а в імпульсних елементах – наявністю чи відсутністю перепаду напруги від низького рівня до високого чи навпаки. Найбільше поширення отримали потенціальні елементи.

8.2. Реалізація складних логічних функцій

Складні логічні функції реалізують на ІМС простих логічних елементів.

Мінімальний набір логічних елементів, що реалізують деякі прості логічні функції і за наявності необмеженої кількості яких можна реалізувати наскільки завгодно складну логічну функцію, називають функціонально повною системою логічних елементів, або базисом.

Найбільш відомими функціонально повними системами є:

- 1) елементи, що реалізують функції алгебри Буля – *I, АБО, НЕ*;
- 2) елемент, що реалізує функцію штрих Шеффера – *I-НЕ*;
- 3) елемент, що реалізує функцію стрілка Пірса – *АБО-НЕ*.

Якщо уважно подивитися на таблицю істинності логічних елементів (див. рис. 8.2), то побачимо, що, наприклад, елемент *I* для одиниць є елементом *АБО* для нулів. Тобто, якщо для прямих значень

$$y = x_1 \cdot x_2, \quad (8.3)$$

то для інверсних $\bar{y} = \bar{x}_1 + \bar{x}_2$.

Для елемента *I-НЕ* можна записати

$$y = \overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2, \quad (8.4)$$

а для елемента *АБО-НЕ*

$$y = \overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2. \quad (8.5)$$

Вирази (8.2) і (8.3) називають правилами де Моргана.

Якщо задати, наприклад, відповідно $x_2 = 1$ або $x_2 = 0$, то матимемо

$$y = \overline{x_1 \cdot x_2} = \overline{x_1 \cdot 1} = \bar{x}_1 \quad (8.6)$$

або

$$y = \overline{x_1 + x_2} = \overline{x_1 + 0} = \bar{x}_1. \quad (8.7)$$

Тобто, ми можемо використовувати багатовходові логічні елементи з інверсією на виході як інвертори, задаючи на всіх, крім одного входах, сигнал 1 (const 1) або 0 (const 0).

Якщо на всі входи цих елементів подати одну й ту ж змінну, також матимемо інвертори:

$$\begin{aligned} y &= \overline{x_1 \cdot x_1} = \bar{x}_1 \\ y &= \overline{x_1 + x_1} = \bar{x}_1 \end{aligned} \quad (8.8)$$

8.4. Реалізація мікросхем на основі логічних елементів

Цифрові мікросхеми призначені для обробки, перетворення і зберігання цифрової інформації. Випускаються вони серіями. Основою кожної серії цифрових мікросхем є базовий логічний елемент. Як правило, базові логічні елементи виконують операції *I-НЕ* або *АБО-НЕ* і за принципом побудови поділяються на такі основні типи: елементи діодно-транзисторної логіки (ДТЛ), резистивно-транзисторної логіки (РТЛ), транзисторно-транзисторної логіки (ТТЛ), еміттерно-пов'язаної транзисторної логіки (ЕСТЛ), мікросхеми на так званих комплементарних МДН структурах (КМДП). Елементи КМДП цифрових мікросхем використовують пари МДП-транзисторів (із структурою метал

- діелектрик-напівпровідник) - з каналами р - і n-типів. Базові елементи інших типів виконані на біполярних транзисторах.

У радіоаматорській практиці найбільше поширення отримали мікросхеми ТТЛ серії і КМДП. На (рис. 8.9) показана схема базового логічного елемента І-НЕ ТТЛ. На вході елемента включений багатоеміттерний транзистор VT1. Якщо на всі його емітери подати напруги високого рівня, то емітерний перехід транзистора виявиться закритим. При цьому струм, протікає через резистор R1 і колекторний перехід транзистора VT1, відкриє транзистор VT2. Падіння напруги на резисторі R3 буде достатнім для відкривання транзистора VT5. Напруга на колекторі транзистора VT2 така, що транзистор VT3 закритий, відповідно транзистор закритий і VT4. В результаті на виході елемента з'явиться напруга низького рівня, відповідний логічному 0. Якщо ж хоч на один із входів елемента подати напруга низького рівня, то емітерний перехід транзистора VT1 відкриється, а транзистори VT2 і VT5 будуть закриті. Транзистор VT3 відкриється за рахунок струму, що протікає через резистор R2, увійде в режим насичення. Відповідно відкриється транзистор VT4, і на виході елемента з'явиться напруга високого рівня, що відповідає логічній 1. Отже, розглянутий елемент виконує функцію І-НЕ. До складу мікросхем серій ТТЛ входить також логічний елемент І-НЕ без колекторної навантаження у вихідному каскаді. Це так званий елемент І-ні з відкритим колектором. Він призначений для роботи на зовнішнє навантаження, в якості якої можуть бути використані електромагнітні реле, індикаторні прилади і т. д., ще схеми з відкритим колектором застосовуються в шинах передачі даних у випадку коли дві або більше виходів підключені до однієї фізичної лінії малюнок 1.

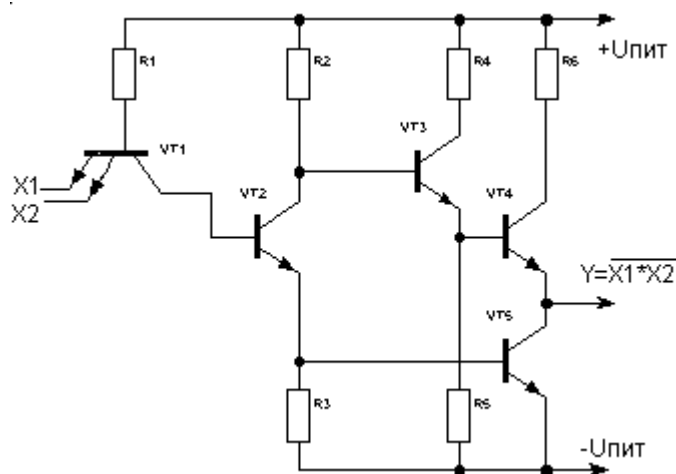


Рисунок 8.9. Схема базового логічного елемента І-НЕ ТТЛ.

Нагадаємо, що структура КМДП є ідеальним перемикачем напруги. Такий перемикач містить два МДП транзистора з каналами р - і n-типів. При подачі на вхід перемикача напруги високого рівня відкривається n-канальний транзистор і закривається р-канальний. На рис. 8.10 зображені схеми базових елементів І-НЕ та АБО-НЕ (б) мікросхем КМДП. Напруга низького рівня (логічний 0) буде на виході елемента І-НЕ тільки при одночасній подачі напруги високого рівня (логічних 1) на всі входи X1-X3. Якщо напруга хоча б на одному з входів (наприклад, X1) буде низького рівня то закриється n-канальний транзистор VT6, і відкриється р-канальний транзистор VT1, через канал якого вихід елемента підключається до джерела живлення. Таким чином, на виході буде напруга

високого рівня, що відповідає логічній 1. Для реалізації базового логічного елемента АБО-НЕ на КМДП структурах ділянки схеми, що містять послідовно і паралельно включені транзистори, слід поміняти місцями рис. 2,б.

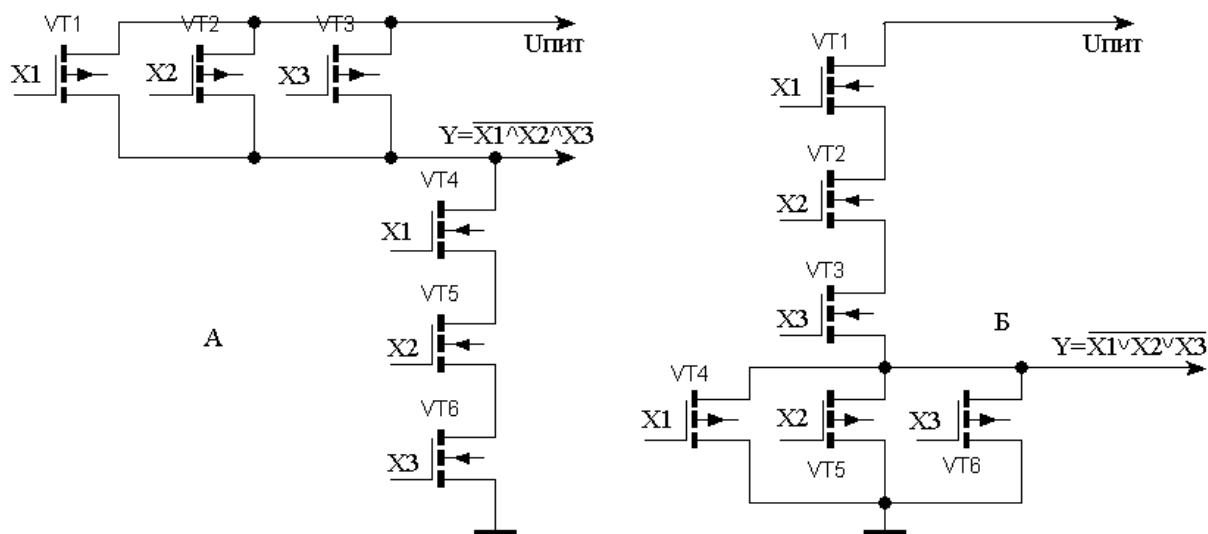


Рисунок 8.10. Схеми базових елементів І-НЕ та АБО-НЕ (б) мікросхем КМДП.

Мікросхеми ТТЛ розраховані на напругу джерела живлення $5\text{В} \pm 10\%$. більша частина мікросхем на КМДП структурах стійко працює при напрузі живлення 3-15, деякі - при напрузі $9\text{В} \pm 10\%$. Рівні логічних 0 та 1 повинні відрізнятися можливо більше. Розрізняють порогове логічної 1 $U_{1\text{пор}}$ - найменша напруга високого рівня на вході мікросхеми, при якій напруга на виході змінюється від рівня логічного 0 до рівня логічної 1, а також граничне напруга логічного 0 $U_{0\text{пор}}$ - найбільша напруга низького рівня на вході мікросхеми, при якій напруга на виході змінюється від рівня логічної 1 до рівня логічного 0.

Перш ніж перейти до детального розгляду найбільш поширених серій мікросхем і цифрових пристроїв на їх базі, зупинимося на основні параметри логічних елементів. До них відносяться напруга джерела живлення, рівні напруг логічного 0 і логічної 1, навантажувальна здатність, завадостійкість і швидкодія, споживана потужність.

Для мікросхем ТТЛ серій $U_{1\text{пор}} = 2,4\text{ В}$; $U_{0\text{пор}} = 0,4\text{ В}$. Напруга низького і високого рівнів на виході мікросхем ТТЛ $U_{1\text{вихgt}} = 2,4\text{ В}$, $U_{1\text{вихlt}} = 0,4\text{ В}$.

Здатність елемента працювати на певне число входів інших елементів без додаткових пристроїв узгодження характеризується навантажувальною здатністю. Чим вище навантажувальна здатність, тим менше число елементів може знадобитися для реалізації цифрового пристрою. Однак при підвищенні навантажувальної здатності інші параметри мікросхем погіршуються: знижуються швидкодія і завадостійкість, зростає споживана потужність. У зв'язку з цим у складі різних серій мікросхем є так звані буферні елементи з навантажувальною здатністю, в кілька разів більшою, ніж у основних елементів. Кількісно навантажувальна здатність оцінюється числом одиничних навантажень, які можна одночасно підключити до виходу мікросхеми. У свою чергу одиничної навантаженням є вхід основного логічного елемента даної серії.

Коефіцієнт розгалуження по виходу для більшості логічних елементів серій ТТЛ серії К155 становить 10, для мікросхем серій К561 КМДП - до 100. Завадостійкість базових логічних елементів оцінюють в статичному і динамічному режимах. При цьому статична завадостійкість визначається рівнем напруги, що подається на вхід елемента щодо рівнів логічних 0 та 1, при якому стан на виході схеми не змінюється. Для елементів ТТЛ статична завадостійкість складає не менше 0,4, а для мікросхем серій КМДП не менше 30% напруги живлення. Динамічна завадостійкість залежить від форми і амплітуди сигналу перешкоди, а також від швидкості перемикавання логічного елемента і його статичної завадостійкості. Динамічні параметри базових елементів оцінюють, в першу чергу, швидкодією. Кількісно швидкодію можна характеризувати граничної робочою частотою, тобто максимальною частотою перемикавання тригера, виконаного на цих базових елементах. Гранична робоча частота мікросхем ТТЛ серії К155 становить 10 МГц, а мікросхем серій К176 і К561 на КМДП структурах лише 1 МГц. Швидкодія визначається так само, як середній час затримки розповсюдження сигналу: $t_{зд.ср} = 0,5(t_{1,0зд.р} + t_{0,1зд.р})$, де $t_{1,0зд.р}$ і $t_{0,1зд.р}$ - часи затримки розповсюдження сигналу при включенні і виключенні рис.3.

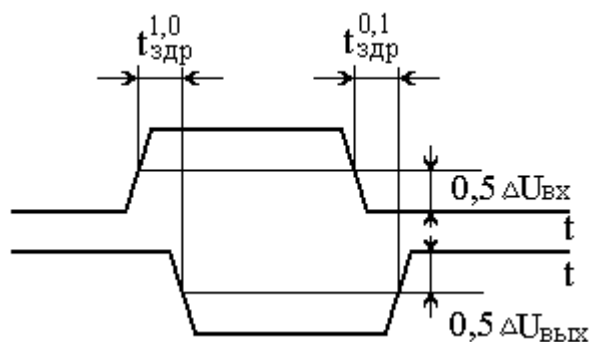


Рисунок 3. Час затримки розповсюдження сигналу при включенні і виключенні.

Середній час затримки розповсюдження сигналу є більш універсальним параметром мікросхем, так як, знаючи його, можна розрахувати продуктивність будь-якої складної логічної схеми підсумовуванням $t_{зд.ср}$ для всіх послідовно включених мікросхем. Для мікросхем серії К155 $t_{зд.ср}$ становить близько 20 нс, а для мікросхем серії К176 - 200 нс. Споживана мікросхемою потужність в статичному режимі виявляється різною при рівнях логічного нуля (P_0) і логічної одиниці на виході (P_1). У зв'язку з цим вимірюють середню потужність споживання $P_{ср} = (P_0 + P_1) / 2$. Статична середня потужність споживання базових елементів серії 155 становить кілька десятків міліват, а у елементів серії К176 і К561 вона більш ніж в тисячу разів менше.

Отже, за необхідності побудови цифрових пристроїв з малим струмом споживання доцільно використовувати мікросхеми на КМДП структурах. Однак слід враховувати, що при роботі в динамічному режимі потужність, споживана логічними елементами, зростає. Тому крім $P_{ср}$ задається також потужність $P_{дин}$, що вимірюється за максимальної частоти перемикань. Необхідно мати на увазі, що з підвищенням швидкодії потужність, споживана мікросхемою збільшується.